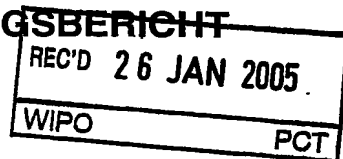


VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)



Aktenzeichen des Anmelders oder Anwalts IN1255WO	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/PEA/416)	
Internationales Aktenzeichen PCT/DE 03/03354	Internationales Anmeldedatum (Tag/Monat/Jahr) 10.10.2003	Prioritätsdatum (Tag/Monat/Jahr) 18.10.2002
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H01L27/12		
Anmelder INFINEON TECHNOLOGIES AG et al.		

1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der Internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.



2. Dieser BERICHT umfaßt insgesamt 6 Blätter einschließlich dieses Deckblatts.

- ☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 9 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Bescheids
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Regel 66.2 a)ii) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 22.04.2004	Datum der Fertigstellung dieses Berichts 27.01.2005
Name und Postanschrift der mit der internationalen Prüfung beauftragten Behörde  Europäisches Patentamt - P.B. 5818 Patentlaan 2 NL-2280 HV Rijswijk - Pays Bas Tel. +31 70 340 - 2040 Tx: 31 651 epo nl Fax: +31 70 340 - 3016	Bevollmächtigter Bediensteter Wirner, C Tel. +31 70 340-2481 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):

Beschreibung, Seiten

1-22 in der ursprünglich eingereichten Fassung

Ansprüche, Nr.

1-15 eingegangen am 18.11.2004 mit Schreiben vom 12.11.2004

Zeichnungen, Blätter

1/6-6/6 in der ursprünglich eingereichten Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um:

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
- ☐ Ansprüche, Nr.:
- ☐ Zeichnungen, Blatt:

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE 03/03354

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen.)

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung
- | | |
|--------------------------------|------------------------|
| Neuheit (N) | Ja: Ansprüche 1 - 15 |
| | Nein: Ansprüche |
| Erfinderische Tätigkeit (IS) | Ja: Ansprüche |
| | Nein: Ansprüche 1 - 15 |
| Gewerbliche Anwendbarkeit (IA) | Ja: Ansprüche: 1 - 15 |
| | Nein: Ansprüche: |

2. Unterlagen und Erklärungen:

siehe Beiblatt

Zu Punkt V

Begründete Feststellung hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1.) Es wird auf die folgenden Dokumente verwiesen:

- D1: PATENT ABSTRACTS OF JAPAN Bd. 2000, Nr. 14, 5. März 2001
& JP 2000 312006 A (SEIKO EPSON CORP), 7. November 2000
& US-B1-6 569 717 (MURADE MASAO), 27. Mai 2003
D2: US-A-4 753 896 (MATLOUBIAN MISHEL) 28. Juni 1988
D3: US-A-5 998 807 (FRANOSCH MARTIN ET AL) 7. Dezember 1999
-

2.) Die folgenden Dokumente wurden im internationalen Recherchenbericht nicht angegeben. Eine Kopie der Dokumente liegt bei:

- D4: US-B1-6 462 364 (HORIUCHI) 8. Oktober 2002
D5: US-B1-6 462 723 (YAMAZAKI ET AL) 8. Oktober 2002
-

3.) Die vorliegende Anmeldung erfüllt nicht die Erfordernisse des Artikels 33(1) PCT, weil der Gegenstand der unabhängigen Ansprüche 1 und 11 im Sinne von Artikel 33(3) PCT nicht erfinderisch ist.

3.1. Das Dokument D1 (Die Verweise beziehen sich auf US-B1-6 569 717) wird als nächstliegender Stand der Technik gegenüber dem Gegenstand der Ansprüche 1 und 11 angesehen. Es offenbart:

- Substrat aus Isolierschicht/Isolierbereich und Halbleiterschicht (D1: Fig. 2(a), Bez. 12 und 1);
- Strukturieren der Halbleiterschicht zur Ausbildung eines isolierbereichsnahen Kondensator-Elektrodenbereichs/schicht und eines aktiven Transistorbereichs in einer Ebene parallel zur Ebene, in der die Isolierschicht angeordnet ist (D1: Fig. 2(b), Bez. 1a

und 1f; Fig. 2© und 2(d); Spalte 10, Zeilen 62 - 65);

- dielektrische Schicht/Bereich (D1: Fig. 2(b), Bez. 2; Spalte 10, Zeile 66 - Spalte 11, Zeile 1);
- Erzeugen eines isolierbereichsfernen Elektrodenbereichs/schicht (D1: Fig. 2(c), Bez. 3b; Spalte 11, Zeilen 42 - 47);
- Kondensator und aktives Bauelement, die zusammen eine Speicherzelle bilden (D1: Spalte 9, Zeile 61 - Spalte 10, Zeile 7);

3.2. Der Gegenstand der Ansprüche 1 und 11 unterscheidet sich daher von dem aus D1 bekannten Verfahren / der aus D1 bekannten Anordnung dadurch, daß

- mindestens ein Prozessor in der integrierten Schaltungsanordnung enthalten ist.

3.3. Die mit der vorliegenden Erfindung zu lösende Aufgabe kann somit darin gesehen werden, zusätzlich zu der aus D1 bekannten Speicherzelle weitere Bauelemente zu integrieren.

3.4. Die in den Ansprüchen 1 und 11 der vorliegenden Anmeldung vorgeschlagene Lösung, nämlich die Anbringung eines Prozessors, kann aus folgenden Gründen nicht als erfinderisch betrachtet werden (Artikel 33(3) PCT):

Bei der Integration eines zusätzlichen Bauelements in eine bekannte Schaltung handelt es sich um eine naheliegende Möglichkeit, aus der der Fachmann ohne erfinderisches Zutun den Umständen entsprechend auswählen würde, um eine entsprechende Schaltung, bei der dieses Bauelement erforderlich ist, zu realisieren.

Es ist bekannt, daß bei DRAM Schaltungen auch Prozessoren Einsatz finden. Es ist ferner bekannt, daß diese Prozessoren mit DRAM Speicherzellen integriert werden.

Zum Beispiel beschreibt das Dokument D4 explizit die Integration von DRAM Speicherzellen und Prozessoren in SOI-Technik (siehe D4: Figuren 37 - 42; Spalte 33, Zeilen 4 - 62; Spalte 34, Zeile 60 - Spalte 35, Zeile 40). Weiter beschreibt zum Beispiel das Dokument D5 explizit die Integration einer Speicherzelle mit Prozessoren (siehe D5: Fig. 31 und 32; Spalte 34, Zeile 63 - Spalte 35, Zeile 12). Wenn der Fachmann eine Integration von Prozessoren bei einem Verfahren / einer Anordnung gemäß dem Dokument D1 erreichen will, ist es ihm ohne weiteres möglich, die bereits bekannte Möglichkeit (siehe zum Beispiel die Dokumente D4 und D5) der Integration von Speicherzellen und Prozessoren mit entsprechender Wirkung auch beim Gegenstand von D1 anzuwenden.

Auf diese Weise würde er ohne erfinderisches Zutun zu einem Verfahren / einer Anordnung gemäß den Ansprüchen 1 und 11 gelangen.

Der Gegenstand der unabhängigen Ansprüche 1 und 11 ist daher nicht erfinderisch (Artikel 33(3) PCT).

4.) Die abhängigen Ansprüche 2 - 10 und 12 - 15 enthalten keine Merkmale, die in Kombination mit den Merkmalen irgendeines Anspruchs, auf den sie sich beziehen, die Erfordernisse des PCT in bezug auf erfinderische Tätigkeit erfüllen.

4.1. Der Gegenstand der abhängigen Vorrichtungsansprüche 2 - 10 ist bereits aus D1 bekannt (siehe D1: Fig. 2(f), Bez. 1g und 81; Spalte 1, Zeile 59). **Der Gegenstand der Vorrichtungsansprüche 2 - 10 ist daher nicht erfinderisch (Artikel 33(3) PCT).**

4.2. Der Gegenstand der abhängigen Verfahrensansprüche 13 und 15 ist bereits aus D1 bekannt (siehe D1: Fig. 2(e), Bez. 1b und 1c; Fig. 2(h), Bez. 80a und 80b; Spalte 13, Zeilen 15 - 17). **Der Gegenstand der Verfahrensansprüche 13 und 15 ist daher nicht neu (Artikel 33(3) PCT).**

4.3. Die in Dokument D1 nicht erwähnten Merkmale der abhängigen Verfahrensansprüche 12 und 14, nämlich das Aufbringen einer Hilfsschicht vor dem Strukturieren, sowie das Durchführen einer selektiven Epitaxie, sind im Stand der Technik wohl bekannte, standardübliche Verfahrensweisen, die der Fachmann ohne erfinderisches Zutun auch bei dem Dokument D1 mit entsprechender Wirkung anwenden würde. Zum Beispiel ist das Aufbringen einer Hilfsschicht bereits aus dem Dokument D2 bekannt (siehe D2: Fig. 1a, Bez. 16, 18 und 20; Spalte 5, Zeilen 45 - 65); und das Durchführen einer selektiven Epitaxie ist bereits aus dem Dokument D3 bekannt (siehe D3: Fig. 8, Bez. 23 und 24; Spalte 6, Zeilen 7 - 42). **Der Gegenstand der Verfahrensansprüche 12 und 14 ist daher nicht erfinderisch (Artikel 33(3) PCT).**

5.) Alle Ansprüche 1 - 15 erfüllen die Erfordernisse des Artikels 33(4) PCT hinsichtlich industrieller Anwendbarkeit.

Patentansprüche

1. Integrierte Schaltungsanordnung (140),
mit einem elektrisch isolierenden Isolierbereich,
5 und mit mindestens einem Kondensator (144) bildenden
Bereichsfolge, die in der angegebenen Reihenfolge enthält:
einen isolierbereichsnahen Elektrodenbereich (34),
einen dielektrischen Bereich (46), und
einen isolierbereichsfernen Elektrodenbereich (56),
10 wobei der Isolierbereich Bestandteil einer in einer Ebene an-
geordneten Isolierschicht (14) ist,
wobei der Kondensator (144) und mindestens ein aktives Bau-
element (142) der integrierten Schaltungsanordnung (140) auf
der gleichen Seite der Isolierschicht (14) angeordnet sind,
15 wobei der isolierbereichsnahe Elektrodenbereich (34) und der
aktive Bereich (84) des Bauelementes (142) in einer Ebene an-
geordnet sind, die parallel zu der Ebene liegt, in der die
Isolierschicht (14) angeordnet ist,
und wobei der Kondensator (154) und das aktive Bauelement
20 (152) eine Speicherzelle (150) bilden,
gekennzeichnet durch, mindestens einen in der
integrierten Schaltungsanordnung enthaltenen Prozessor.

2. Schaltungsanordnung (140) nach Anspruch 1, gekenn-
25 zeichnet durch mindestens einen Feldeffekttransis-
tor (142), dessen Kanalbereich (84) der aktive Bereich ist,
wobei der Kanalbereich (84) vorzugsweise dotiert oder undo-
tiert ist,
und/oder dessen Steuerelektrode (54) das gleiche Material
30 und/oder Material der gleichen Dotierstoffkonzentration wie
der isolierbereichsferne Elektrodenbereich (56) enthält,

und/oder dessen Steuerelektrodenisolationbereich (42) das gleiche Material und/oder ein Material mit der gleichen Dicke wie der dielektrische Bereich (46) enthält,
und/oder dessen der Steuerelektrodenisolationbereich (42)
5 ein anderes Material und/oder ein Material mit einer anderen Dicke als der dielektrische Bereich (46) enthält.

3. Schaltungsanordnung (140) nach Anspruch 2, d a d u r c h g e k e n n z e i c h n e t , dass der Feldeffekttransistor (122)
10 ein planarer Feldeffekttransistor ist,
und/oder dass der Transistor Hilfsanschlussgebiete (58, 59) enthält, die eine Dotierung mit dem gleichem Leitungstyp wie die Anschlussgebiete (80, 82) jedoch mit einer um mindestens eine Größenordnung kleineren Dotierstoffkonzentration haben,
15 und/oder dass der Transistor Hilfsdotiergebiete enthält, die nahe der Anschlussgebiete (80, 82) und/oder nahe der Hilfsanschlussgebiete (58, 59) angeordnet sind und die eine Dotierung mit einem anderen Leitungstyp als die Anschlussgebiete (80, 82) und/oder als die Hilfsanschlussgebiete (58, 59) ha-
20 ben,
und/oder dass die Steuerelektrode (54) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, insbesondere an einen Silizidbereich (92).

25 4. Schaltungsanordnung (140) nach Anspruch 2 oder 3, d a - d u r c h g e k e n n z e i c h n e t , dass ein Anschlussbereich (80, 82) des Transistors (142) oder beide Anschlussbereiche (80, 82) des Transistors (142) an die Isolierschicht (14) grenzen,
30 und/oder dass mindestens ein Anschlussbereich (80, 82) an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, vorzugsweise an einen Silizidbereiche (90, 96),

und/oder dass eine isolierbereichsferne Grenzfläche mindestens eines Anschlussbereiches (80, 82) von der Isolierschicht (14) weiter entfernt ist als der aktive Bereich (84) oder dass eine isolierbereichsferne Grenzfläche mindestens eines Anschlussbereiches (80, 82) näher an der Isolierschicht (14) angeordnet ist als eine isolierbereichsferne Grenzfläche des aktiven Bereiches (84).

5. Schaltungsanordnung (140) nach einem der Ansprüche 2 bis

10 4, dadurch gekennzeichnet, dass beidseitig der Steuerelektrode (54) Abstandshalter (60, 62) angeordnet sind, die ein anderes Material enthalten als die Steuerelektrode (54), vorzugsweise Siliziumdioxid oder Siliziumnitrid, oder die aus einem anderen Material bestehen als die Steuer-

15 elektrode (54), vorzugsweise aus Siliziumdioxid oder aus Siliziumnitrid,

und/oder dass an mindestens einer Seite des isolierbereichsfernen Elektrodenbereiches (56) ein Abstandshalter (64, 66) angeordnet ist, der ein anderes Material enthält als der isolierbereichsferne Elektrodenbereich (56), vorzugsweise Siliziumdioxid oder Siliziumnitrid, oder der aus einem anderen Material besteht als der isolierbereichsferne Elektrodenbereich (56), vorzugsweise aus Siliziumdioxid oder aus Siliziumnitrid,

25 und/oder dass sich ein an der Steuerelektrode (54) angeordneter Abstandshalter (62a) und ein an dem isolierbereichsfernen Elektrodenbereich (56) angeordneter Abstandshalter (64a) berühren.

30 6. Schaltungsanordnung (140) nach einem der Ansprüche 2 bis 5, dadurch gekennzeichnet, dass ein Anschlussbereich (82) des Feldeffekttransistors (142) und der isolierbereichsnahe Elektrodenbereich (34) des Kondensators

(144) aneinander grenzen und eine elektrisch leitfähige Verbindung an der Grenze haben,
und/oder dass der an den isolierbereichsnahen Elektrodenbereich (34) angrenzende Anschlussbereich (59a) des Transistors
5 (152) nicht an einen eine Metallhalbleiterverbindung enthaltenden Bereich angrenzt, insbesondere an keinen Silizidbereich,
und/oder dass der andere Anschlussbereich (80a) an einen eine Metallhalbleiterverbindung enthaltenden Bereich (70a) an-
10 grenzt.

7. Schaltungsanordnung (140) nach Anspruch 6, d a d u r c h
g e k e n n z e i c h n e t , dass die an den Anschlussbereich
(82) angrenzende Seite des isolierbereichsnahen Elektrodenbe-
15 reiches (34) länger ist als eine quer zu dieser Seite liegende Seite des isolierbereichsnahen Elektrodenbereiches (34),
vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang,

wobei der Transistor (142) vorzugsweise eine Transistorweite
20 (W1) hat, die ein mehrfaches der minimalen Strukturbreite (F) beträgt, vorzugsweise mehr als das Dreifache oder mehr als das Fünffache,

oder dass eine quer zu der an den Anschlussbereich (82) angrenzende Seite des isolierbereichsnahen Elektrodenbereiches
25 (34) liegende Seite des isolierbereichsnahen Elektrodenbereiches (34) länger als die an den Anschlussbereich (82) angrenzende Seite ist, vorzugsweise mindestens doppelt so lang oder mindestens fünf mal so lang,

wobei der Transistor (152) vorzugsweise eine Transistorweite
30 (W2) hat, die kleiner als das Dreifache der minimalen Strukturbreite (F) ist, vorzugsweise kleiner als das Doppelte der minimalen Strukturbreite (F).

8. Schaltungsanordnung (140) nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass der isolierbereichsnahe Elektrodenbereich (34) ein einkristalliner Bereich ist, vorzugsweise ein dotierter Halbleiterbereich,

und/oder dass der isolierbereichsnahe Elektrodenbereich (34) und/oder der aktive Bereich (84) eine Dicke kleiner als einhundert Nanometer oder kleiner als fünfzig Nanometer hat, und/oder dass der aktive Bereich (84) ein einkristalliner Bereich ist, vorzugsweise ein Halbleiterbereich der dotiert oder undotiert ist,

und/oder dass die Isolierschicht (14) an einer Seite an ein Trägersubstrat (12) angrenzt, vorzugsweise an ein Trägersubstrat, das ein Halbleitermaterial enthält oder aus einem

Halbleitermaterial besteht, insbesondere aus Silizium oder aus einkristallinem Silizium,

und/oder dass die Isolierschicht (14) an der anderen Seite an den isolierbereichsnahen Elektrodenbereich (34) angrenzt, und/oder dass die Grenzflächen vorzugsweise vollständig in

zwei zueinander parallelen Ebenen liegen,

und/oder dass die Isolierschicht (14) ein elektrisch isolierendes Material enthält, vorzugsweise ein Oxid, insbesondere Siliziumdioxid, oder aus einem elektrisch isolierenden Material besteht, vorzugsweise aus einem Oxid, insbesondere aus

Siliziumdioxid,

und/oder dass das aktive Bauelement (142) ein Transistor ist, vorzugsweise ein Feldeffekttransistor, insbesondere ein planarer Feldeffekttransistor.

9. Schaltungsanordnung (140) nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass der dielektrische Bereich (46) Siliziumdioxid enthält oder aus Siliziumdioxid besteht,

und/oder dass der dielektrische Bereich (46) aus einem Material mit einer Dielektrizitätskonstante größer als vier oder größer als zehn oder größer als fünfzig besteht,
und/oder dass der isolierbereichsferne Elektrodenbereich (56)
5 Silizium enthält, vorzugsweise polykristallines Silizium, oder aus Silizium besteht, vorzugsweise aus polykristallinem Silizium,
und/oder dass der isolierbereichsferne Elektrodenbereich (56) ein Metall enthält oder aus einem Metall besteht,
10 und/oder dass der isolierbereichsferne Elektrodenbereich (56) ein niederohmiges Material enthält, vorzugsweise Titannitrid, Tantalnitrid, Rubidium oder hochdotiertes Siliziumgermanium,
und/oder dass der isolierbereichsferne Elektrodenbereich (56) an einen Metallhalbleiterverbindungen enthaltenden Bereich
15 angrenzt, insbesondere an einen Silizidbereich (96).

10. Schaltungsanordnung (140) nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n z e i c h n e t , dass der Prozessor ein Mikroprozessor ist,
20 und/oder dass der Kondensator (154) und das aktive Bauelement (152) eine Speicherzelle (150) in einer dynamischen RAM-Speichereinheit bilden,
und/oder dass eine Speicherzelle entweder einen Kondensator (152) und nur einen Transistor (152) oder einen Kondensator
25 (Cs) und mehr als einen Transistor (M1 bis M3) enthält, vorzugsweise drei Transistoren (M1 bis M3).

11. Verfahren zum Herstellen einer integrierten Schaltungsanordnung (140) mit Kondensator (144) in einer Schaltungsanordnung (140) nach einem der vorhergehenden Ansprüche,
30 bei dem ohne Beschränkung durch die angegebene Reihenfolge die folgenden Verfahrensschritte ausgeführt werden:

Bereitstellen eines Substrats (10), das eine Isolierschicht (14) aus elektrisch isolierendem Material und eine Halbleiterschicht (16) enthält,

Strukturieren der Halbleiterschicht (16) zur Ausbildung mindestens eines Elektrodenbereiches (34) für einen Kondensator und zur Ausbildung mindestens eines aktiven Bereiches (84) für einen Transistor (142),

nach dem Strukturieren der Halbleiterschicht (16) Erzeugen mindestens einer dielektrischen Schicht (42, 46),

10 nach dem Erzeugen der dielektrischen Schicht (42, 46) Erzeugen einer Elektrodenschicht (41),

Ausbilden einer isolierbereichsfernen Elektrode (56) des Kondensators (144) in der Elektrodenschicht (41).

15 12. Verfahren nach Anspruch 11, gekennzeichnet durch die Schritte:

Aufbringen mindestens einer Hilfsschicht (18, 20) auf die Halbleiterschicht (16) vor dem Strukturieren, vorzugsweise einer Siliziumnitridschicht (20) und/oder einer Oxidschicht (18), wobei die Hilfsschicht (20) vorzugsweise als Hartmaske beim Strukturieren der Halbleiterschicht (16) dient, und/oder Dotieren eines Kanalbereiches (84) des Transistors (142), vorzugsweise vor dem Erzeugen der dielektrischen Schicht (42, 46),

25 Durchführen einer thermischen Oxidation zur Bildung eines Verrundungsoxides (26, 28), vorzugsweise vor dem Ausbilden der Elektrodenschicht (41),

und/oder Dotieren der isolierbereichsnahen Elektrode (34), vorzugsweise vor dem Erzeugen der dielektrischen Schicht

30 (42, 44, 46),

und/oder Erzeugen der dielektrischen Schicht (42, 46) gleichzeitig mit einer dielektrischen Schicht am aktiven Bereich (84) des Transistors (122),

und/oder Ausbilden einer Steuerelektrode (54) des Transistors (142) gleichzeitig mit dem Ausbilden des isolierbereichsfernen Elektrodenbereiches (56).

- 5 13. Verfahren nach Anspruch 11 oder 12, g e k e n n z e i c h -
n e t d u r c h die Schritte:
Ausbilden von Hilfsanschlussbereichen (58, 59) mit einer
kleineren Dotierstoffkonzentration als Anschlussbereiche (80,
82) des Transistors (142), vorzugsweise nach dem Strukturie-
10 ren einer Steuerelektrode (54) des Transistors (142),
und/oder Ausbilden von Hilfsdotiergebieten, vorzugsweise vor
der Strukturierung der Steuerelektrode (54),
Aufbringen einer weiteren Hilfsschicht (60 bis 66) nach dem
Strukturieren einer Steuerelektrode (54) des Transistors
15 (142), vorzugsweise einer Siliziumnitridschicht oder einer
Siliziumdioxidschicht, insbesondere einer TEOS-Schicht,
und/oder anisotropes Ätzen der weiteren Hilfsschicht (60 bis
66).

- 20 14. Verfahren nach einem der Ansprüche 11 bis 13, g e -
k e n n z e i c h n e t d u r c h die Schritte:
Durchführen einer selektiven Epitaxie auf freiliegenden Be-
reichen aus Halbleitermaterial (16) nach dem Ausbilden des
isolierbereichsfernen Elektrodenbereiches (56) und/oder nach
25 dem Strukturieren einer Steuerelektrode (54) des Transistors
(142),
und/oder Dotieren von Anschlussbereichen (70, 72) des Tran-
sistors (122) nach dem Ausbilden des isolierbereichsfernen
Elektrodenbereiches (56) und/oder nach dem Strukturieren der
30 Steuerelektrode (54) und vorzugsweise nach der Epitaxie.

15. Verfahren nach einem der Ansprüche 11 bis 14, g e -
k e n n z e i c h n e t d u r c h den Schritt:

und/oder selektive Bildung einer Metallhalbleiterverbindung, insbesondere selektive Silizidbildung, auf der Elektroden-
schicht (54) und/oder auf freiliegenden Halbleiterbereichen
(16).

PATENT COOPERATION TREATY



Translation

PCT

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY
(Chapter II of the Patent Cooperation Treaty)

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference In1255WO	FOR FURTHER ACTION See Form PCT/IPEA/416	
International application No. PCT/DE2003/003354	International filing date (day/month/year) 10 October 2003 (10.10.2003)	Priority date (day/month/year) 18 October 2002 (18.10.2002)
International Patent Classification (IPC) or national classification and IPC H01L 27/12		
Applicant INFINEON TECHNOLOGIES AG		

- This report is the international preliminary examination report, established by this International Preliminary Examining Authority under Article 35 and transmitted to the applicant according to Article 36.
- This REPORT consists of a total of 6 sheets, including this cover sheet.
- This report is also accompanied by ANNEXES, comprising:
 - ☒ (sent to the applicant and to the International Bureau) a total of 9 sheets, as follows:
 - ☐ sheets of the description, claims and/or drawings which have been amended and are the basis of this report and/or sheets containing rectifications authorized by this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions).
 - ☐ sheets which supersede earlier sheets, but which this Authority considers contain an amendment that goes beyond the disclosure in the international application as filed, as indicated in item 4 of Box No. I and the Supplemental Box.
 - ☐ (sent to the International Bureau only) a total of (indicate type and number of electronic carrier(s)) _____, containing a sequence listing and/or tables related thereto, in computer readable form only, as indicated in the Supplemental Box Relating to Sequence Listing (see Section 802 of the Administrative Instructions).
- This report contains indications relating to the following items:
 - ☒ Box No. I Basis of the report
 - ☐ Box No. II Priority
 - ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
 - ☐ Box No. IV Lack of unity of invention
 - ☒ Box No. V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
 - ☐ Box No. VI Certain documents cited
 - ☐ Box No. VII Certain defects in the international application
 - ☐ Box No. VIII Certain observations on the international application

Date of submission of the demand 22 April 2004 (22.04.2004)	Date of completion of this report 27 January 2005 (27.01.2005)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

International application No.

PCT/DE2003/003354

Box No. I Basis of the report

1. With regard to the language, this report is based on the international application in the language in which it was filed, unless otherwise indicated under this item.

- ☐ This report is based on translations from the original language into the following language _____, which is language of a translation furnished for the purpose of:
- ☐ international search (under Rules 12.3 and 23.1(b))
- ☐ publication of the international application (under Rule 12.4)
- ☐ international preliminary examination (under Rules 55.2 and/or 55.3)

2. With regard to the elements of the international application, this report is based on *(replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report)*:

- ☐ The international application as originally filed/furnished
- ☒ the description:
- pages _____ 1-22 _____, as originally filed/furnished
- pages* _____ received by this Authority on _____
- pages* _____ received by this Authority on _____
- ☒ the claims:
- pages _____, as originally filed/furnished
- pages* _____, as amended (together with any statement) under Article 19
- pages* _____ 1-15 received by this Authority on 18 November 2004 (18.11.2004)
- pages* _____ received by this Authority on _____
- ☒ the drawings:
- pages _____ 1/6-6/6 _____, as originally filed/furnished
- pages* _____ received by this Authority on _____
- pages* _____ received by this Authority on _____
- ☐ a sequence listing and/or any related table(s) – see Supplemental Box Relating to Sequence Listing.

3. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/figs _____
- ☐ the sequence listing (*specify*): _____
- ☐ any table(s) related to sequence listing (*specify*): _____

4. ☐ This report has been established as if (some of) the amendments annexed to this report and listed below had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/figs _____
- ☐ the sequence listing (*specify*): _____
- ☐ any table(s) related to sequence listing (*specify*): _____

* If item 4 applies, some or all of those sheets may be marked "superseded."

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 03/03354

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-15	YES
	Claims		NO
Inventive step (IS)	Claims		YES
	Claims	1-15	NO
Industrial applicability (IA)	Claims	1-15	YES
	Claims		NO

2. Citations and explanations .

1. Reference is made to the following documents:

D1: PATENT ABSTRACTS OF JAPAN, vol. 2000,
no. 14, 5 March 2001 & JP 2000 312006 A
(SEIKO EPSON CORP) 7 November 2000 &
US-B1-6 569 717 (MURADE MASAO) 27 May 2003
D2: US-A-4 753 896 (MATLOUBIAN MISHEL)
28 June 1988
D3: US-A-5 998 807 (FRANOSCH MARTIN ET AL)
7 December 1999.

2. The following documents were not cited in the international search report. A copy of each is appended.

D4: US-B1-6 462 364 (HORIUCHI)
8 October 2002
D5: US-B1-6 462 723 (YAMAZAKI ET AL)
8 October 2002.

3. The present application fails to meet the requirements of PCT Article 33(1) because the subject matter of independent claims 1 and 11 is not inventive (PCT Article 33(3)).

/...

- 3.1 Document D1 (the references relate to US-B1-6 569 717) is considered to be the prior art closest to the subject matter of claims 1 and 11. Said document discloses:
- a substrate comprising an insulating layer or insulating region and a semiconductor layer (D1: figure 2(a), reference signs 12 and 1)
 - the configuration of said semiconductor layer for a capacitor-electrode region or layer to be formed near the insulating region and an active transistor region to be formed in a plane parallel with the plane of the insulating layer (D1: figure 2(b), reference signs 1a and 1f; figures 2(c) and 2(d); column 10, lines 62-65);
 - a dielectric layer or region (D1: figure 2(b), reference sign 2; column 10, line 66 to column 11, line 1);
 - the production of an electrode region or layer at a distance from the insulating region (D1, figure 2(c), reference sign 3b; column 11, lines 42-47);
 - a capacitor and an active component which, in combination, form a memory cell (D1, column 9, line 61 to column 10, line 7).

- 3.2 Therefore, the subject matter of claims 1 and 11, respectively, differs from the method and the arrangement known from D1 in that:

- the integrated circuit arrangement contains at least one processor.

/...

- 3.3 The problem addressed by the present invention can thus be regarded as that of the integration of further components in addition to the memory cell known from D1.
- 3.4 For the following reasons, the solution proposed in claims 1 and 11 of the present application, namely the addition of a processor, cannot be considered inventive (PCT Article 33(3)):

The integration of an additional component into a known circuit is an obvious possibility that a person skilled in the art would choose according to the circumstances, without thereby being inventive, in order to produce a circuit of this type, in which said component is necessary.

It is known that processors are also used in DRAM circuits. It is further known that these processors are integrated with DRAM memory cells.

For example, document D4 explicitly describes the integration of DRAM memory cells and processors in SOI technology (see D4, figures 37 to 42; column 33, lines 4-62; column 34, line 60 to column 35, line 40). Furthermore, for example, document D5 explicitly describes the integration of a memory cell with processors (see D5: figures 31 and 32; column 34, line 63 to column 35, line 12). If a person skilled in the art wished to integrate processors in a method or an arrangement as per D1, it would be straightforward to apply the known option of integrating memory cells and processors

/...

(for example, see documents D4 and D5) to like effect to the subject matter of D1.

In this way, a person skilled in the art would arrive at a method or an arrangement as per claims 1 and 11, respectively, without thereby being inventive.

The subject matter of independent claims 1 and 11 is therefore not inventive (PCT Article 33(3)).

4. Dependent claims 2-10 and 12-15 contain no features which, combined with the features of any claim to which they refer, meet the PCT requirements for inventive step.

4.1 The subject matter of dependent device claims 2-10 is already known from D1 (see D1: figure 2(f), reference signs 1g and 81; column 1, line 59). The subject matter of device claims 2-10 is therefore not inventive (PCT Article 33(3)).

4.2 The subject matter of dependent method claims 13 and 15 is already known from D1 (see D1: figure 2(e), reference signs 1b and 1c; figure 2(h), reference signs 80a and 80b; column 13, lines 15-17). The subject matter of method claims 13 and 15 therefore lacks novelty (PCT Article 33(3)).

4.3 Those features of dependent method claims 12 and 14 which are not mentioned in document D1 - namely the application of an auxiliary layer prior to configuration and also the use of selective epitaxy -

/...

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE 03/03354

are well known in the prior art, being routine procedures that a person skilled in the art would also use to like effect in document D1, without thereby being inventive. For example, the application of an auxiliary layer is already known from document D2 (see D2: figure 1a, reference signs 16, 18 and 20; column 5, lines 45-65) and the use of selective epitaxy is already known from document D3 (see D3: figure 8, reference signs 23 and 24; column 6, lines 7-42). The subject matter of method claims 12 and 14 is therefore not inventive (PCT Article 33(3)).

5. Claims 1-15 all satisfy the requirements of PCT Article 33(4) in respect of industrial applicability.